

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-245470

(43)Date of publication of application : 02.09.1992

(51)Int.Cl.

H01L 27/04

H03K 17/04

H03K 17/687

H03K 19/0175

(21)Application number : 03-029547

(71)Applicant : NEC CORP

NEC NIIGATA LTD

(22)Date of filing : 30.01.1991

(72)Inventor : CHIBA KAZUKI

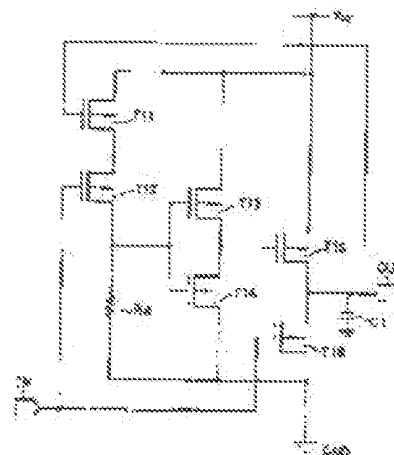
KOYANAGI MINORU

(54) BUFFER CIRCUIT

(57)Abstract:

PURPOSE: To cut down the output build-up time in the title buffer circuit having a MOS transistor in an output stage.

CONSTITUTION: The parasitic capacity C1 at the fall time of gate input level of a MOS transistor T16 is charged by another transistor T15; this charged voltage reaching the high level is detected by the other transistor T11; and then the charging transistor T15 is turned off so as to keep the drain output of the transistor T16 at high impedance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

examiner's decision of rejection or application

converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平4-245470

(43)公開日 平成4年(1992)9月2日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/04	U	8427-4M		
H 0 3 K 17/04		9184-5 J		
17/687				
		8221-5 J	H 0 3 K 17/687	F
		8941-5 J	19/00	1 0 1 F
審査請求 未請求 請求項の数 1 (全 5 頁) 最終頁に続く				

(21)出願番号 特願平3-29547

(22)出願日 平成3年(1991)1月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000190541

新潟日本電気株式会社

新潟県柏崎市大字安田7546番地

(72)発明者 千葉 和樹

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 小▲柳▼ 稔

新潟県柏崎市大字安田7546番地 新潟日本電気株式会社内

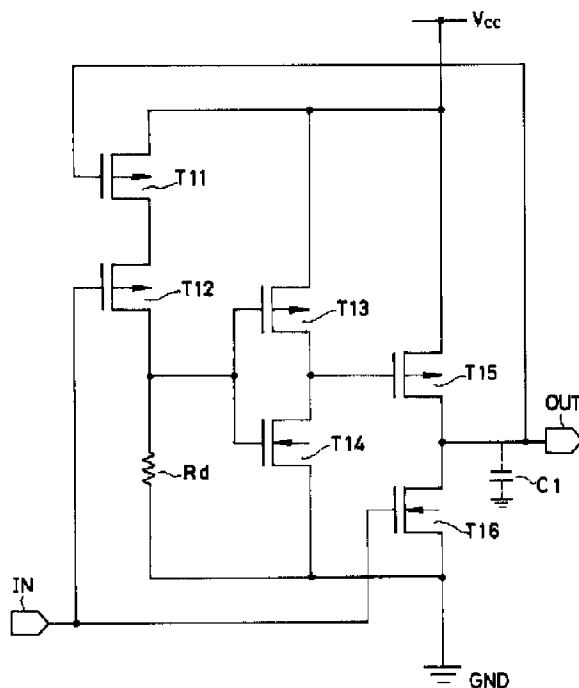
(74)代理人 弁理士 ▲柳▼川 信

(54)【発明の名称】 バッファ回路

(57)【要約】

【目的】 MOSトランジスタを出力段に有するバッファ回路の出力立ち上がり時間を短縮すること。

【構成】 MOSトランジスタT16のゲート入力レベルの立下りの際に寄生容量C1をトランジスタT15により充電し、この充電電圧がハイレベルに達したことをトランジスタT11で検出し、以後充電用トランジスタT15をオフに保持してトランジスタT16のドレイン出力をハイインピーダンスに維持する。



1

【特許請求の範囲】

【請求項1】 MOSトランジスタと、前記MOSトランジスタのオンからオフへのゲート駆動入力レベルの遷移に応答して該トランジスタのドレイン出力における寄生容量を充電する充電回路と、この寄生容量の充電電圧が所定レベルに達したときに前記充電回路をオフ状態に保持する保持回路とを有することを特徴とするバッファ回路。

【発明の詳細な説明】

【0001】

【技術分野】 本発明はバッファ回路に関し、特にNチャネル・オープンドレインあるいはPチャネル・オープンドレインのバッファ回路に関する。

【0002】

【従来技術】 従来、この種のオープンドレインバッファ回路は、図5や図6に示されている構成になっていた。図5は、従来のNチャネル・オープンドレインバッファ回路の構成例である。図において、NチャネルMOSトランジスタT16のゲート電極は入力端子INと接続され、ソース電極はGNDに接続され、ドレイン電極は出力端子OUTのみに接続されている。

【0003】 かかる構成のバッファ回路において、入力端子INにハイレベルの電圧を印加するとNチャネル型のトランジスタT16はオン状態になり、出力端子OUTの電圧は、ローレベルとなる。一方、入力端子INにローレベルの電圧を印加するとトランジスタT16はオフ状態になり、出力端子OUTの状態はハイインピーダンス状態になる。

【0004】 また、図6は、従来のPチャネル・オープンドレインバッファ回路の構成例である。図において、PチャネルMOSトランジスタT26のゲート電極は入力端子INと接続され、ソース電極はVccに接続され、ドレイン電極は出力端子OUTのみに接続されている。

【0005】 かかる構成のバッファ回路において、入力端子INにローレベルの電圧を印加するとPチャネル型のトランジスタT26はオン状態になり、出力端子OUTの電圧は、ハイレベルとなる。一方、入力端子INにハイレベルの電圧を印加するとトランジスタT26はオフ状態になり、出力端子OUTの状態はハイインピーダンス状態になる。

【0006】 しかし、上述した図5及び図6に示されている従来のバッファ回路では、1本の信号線を複数のデバイスが時分割シェアリングする場合、それらのデバイスがオープンドレインで構成された従来のバッファ回路を用いていると、信号の立上り（Nチャネル・オープンドレインの場合）又は立下り（Pチャネル・オープンドレインの場合）が遅れるという欠点がある。

【0007】

【発明の目的】 本発明は上述した従来の欠点を解決するためになされたものであり、その目的はオープンドレイ

2

ンの特性を保ちつつ、出力の立上り又は立下りに要する時間を短縮できるバッファ回路を提供することである。

【0008】

【発明の構成】 本発明によるバッファ回路は、MOSトランジスタと、前記MOSトランジスタのオンからオフへのゲート駆動入力レベルの遷移に応答して該トランジスタのドレイン出力における寄生容量を充電する充電回路と、この寄生容量の充電電圧が所定レベルに達したときに前記充電回路をオフ状態に保持する保持回路とを有することを特徴とする。

【0009】

【実施例】 次に、本発明について図面を参照して説明する。

【0010】 図1は本発明によるバッファ回路の第1の実施例の構成を示す回路図であり、図5と同等部分は同一符号により示されている。図において、本実施例のバッファ回路は、4つのPチャネル型トランジスタT11～T13、T15と2つのNチャネル型トランジスタT14、T16とを含んで構成されている。

【0011】 Pチャネル型の第1のトランジスタT11のソース電極は、電源Vccに接続されており、そのドレイン電極はPチャネル型の第2のトランジスタT12のソース電極と接続されている。Pチャネル型の第2のトランジスタT12のドレイン電極はPチャネル型の第3のトランジスタT13及びNチャネル型の第4のトランジスタT14のゲート電極と接続されるとともに、プルダウン抵抗Rdを介してGNDに接続されている。

【0012】 また、Pチャネル型の第3のトランジスタT13のソース電極は電源Vccに接続され、Nチャネル型の第4のトランジスタT14のソース電極はGNDに接続されている。これら両トランジスタT13及びT14によりインバータが構成される。

【0013】 Pチャネル型の第3のトランジスタT13のドレイン電極及びNチャネル型の第4のトランジスタT14のドレイン電極はともにPチャネル型の第5のトランジスタT15のゲート電極に接続されている。Pチャネル型の第5のトランジスタT15のソース電極はVccに接続されており、ドレイン電極はチャネル型の第6のトランジスタのドレイン電極とともに出力端子OUTに接続されるとともにPチャネル型の第1のトランジスタT11のゲート電極に接続されている。

【0014】 さらにまた、Nチャネル型の第6のトランジスタT16のソース電極はGNDに接続されており、ゲート電極はPチャネル型の第2のトランジスタT12のゲート電極とともに入力端子INに接続されている。なお、C1は寄生容量である。

【0015】 次に、図2を参照しつつ回路の動作について説明する。

【0016】 入力端子INの印加電圧がローレベルからハイレベルになると、トランジスタT12はオフ状態にな

3

り、トランジスタT13及びT14で構成されたインバータ部分の入力はプルダウン抵抗R_dによってローレベルになり、その出力は反転されてハイレベルになる。その結果、トランジスタT15はオフ状態になるが、同時に入力端子にハイレベルの電圧が印加されていることからトランジスタT16がオン状態になり、寄生容量C₁は放電されて出力端子OUTはローレベルとなる。その結果、トランジスタT11はオン状態になる。

【0017】ここで、入力端子INにローレベルの電圧が印加されると、まず、トランジスタT16はオフ状態になり、出力端子OUTはハイインピーダンス状態になる。それと同時にトランジスタT12もオン状態になっているので、トランジスタT13及びT14で構成されたインバータ部分の入力がハイレベルとなり、その出力はローレベルになる。その結果、トランジスタT15はオン状態になり、寄生容量C₁が充電されて出力端子OUTはハイレベルとなる。

【0018】寄生容量C₁の充電により、出力端子OUTがハイレベルになると、トランジスタT11はオフ状態になり、トランジスタT13及びトランジスタT14で構成されたインバータ部分の入力が再びプルダウン抵抗R_dによってローレベルとなるため、その出力はハイレベルとなる。その結果、寄生容量C₁の充電後にトランジスタT15はオフ状態になり、出力端子OUTはハイインピーダンス状態に保持され、安定する。

【0019】このように、入力がハイレベルからローレベルに遷移する際、出力を一度ハイレベル側にドライブして寄生容量C₁を充電した後ハイインピーダンス状態にするため、出力の立上りに要する時間を短縮することができる。つまり、従来のNチャネル・オープンドレインバッファでは、プルアップ抵抗によって出力をハイレベルにしているため立上りが遅れてしまうのに対し、本実施例回路ではそれより立上り時間が短くなるのである。

【0020】また、図3は本発明によるバッファ回路の第2の実施例の構成を示す回路図であり、図6と同等部分は同一符号により示されている。図において、本実施例のバッファ回路は、4つのNチャネル型トランジスタT21～T23、T25と、2つのPチャネル型のトランジスタT24、T26とを含んで構成されている。

【0021】Nチャネル型の第1のトランジスタT21のソース電極はGNDに接続されており、ドレイン電極はNチャネル型の第2のトランジスタT22のソース電極と接続されている。Nチャネル型の第2のトランジスタT22のドレイン電極はNチャネル型の第3のトランジスタT23及びPチャネル型の第4のトランジスタT24のゲート電極と接続されるとともに、プルアップ抵抗R_uを介して電源V_{cc}に接続されている。

【0022】また、Nチャネル型の第3のトランジスタT23のソース電極はGNDに接続され、Pチャネル型第4

4

のトランジスタT24のソース電極は電源V_{cc}に接続されている。これら両トランジスタT23及びT24によりインバータが構成される。

【0023】Nチャネル型の第3のトランジスタT23のドレイン電極及びPチャネル型の第4のトランジスタT24のドレイン電極はともにNチャネル型の第5のトランジスタT25のゲート電極に接続されている。Nチャネル型の第5のトランジスタT25のソース電極はGNDに接続されており、ドレイン電極はPチャネル型の第6のトランジスタのドレイン電極とともに出力端子OUTに接続されるとともにNチャネル型の第1のトランジスタT21のゲート電極に接続されている。

【0024】さらにまた、Pチャネル型の第6のトランジスタT26のソース電極はV_{cc}に接続されており、ゲート電極はNチャネル型の第2のトランジスタT22のゲート電極とともに入力端子INに接続されている。なお、C₂は、寄生容量である。

【0025】次に、図4を参照しつつ回路の動作について説明する。

【0026】入力端子INの印加電圧がハイレベルからローレベルになると、トランジスタT22はオフ状態になり、トランジスタT23及びT24で構成されたインバータ部分の入力はプルアップ抵抗R_uによってハイレベルになり、その出力は反転されてローレベルになる。その結果、トランジスタT25はオフ状態になるが、同時に入力端子にローレベルの電圧が印加されていることからトランジスタT26がオン状態になり、寄生容量C₂が充電されて、出力端子OUTは、ハイレベルとなる。その結果、トランジスタT21はオン状態になる。

【0027】ここで、入力端子INにハイレベルの電圧が印加されると、まず、トランジスタT26はオフ状態になり、出力端子OUTはハイインピーダンス状態になる。それと同時にトランジスタT22もオン状態になっているので、トランジスタT23及びT24で構成されたインバータ部分の入力がローレベルとなり、その出力はハイレベルになる。その結果、トランジスタT25はオン状態になり、寄生容量C₂が放電されて出力端子OUTはローレベルとなる。

【0028】寄生容量のC₂の放電により、出力端子OUTがローレベルになると、トランジスタT21はオフ状態になり、トランジスタT23及びトランジスタT24で構成されたインバータ部分の入力が再びプルアップ抵抗R_uによってハイレベルとなるため、その出力はローレベルとなる。その結果、寄生容量C₂の充電後にトランジスタT25はオフ状態になり、出力端子OUTはハイインピーダンス状態に保持され、安定する。

【0029】このように、入力がローレベルからハイレベルに遷移する際、出力を一度ローレベル側にドライブして寄生容量C₂を放電した後、ハイインピーダンス状態にするため、出力の立下りに要する時間を短縮するこ

5

とができる。つまり、従来のPチャネル・オープンドレインバッファでは、プルダウン抵抗によって出力をローレベルにしているため立下りが遅れてしまうのに対し、本実施例回路ではそれより立下り時間が短くなるのである。

【0030】なお、上述の第1及び第2の実施例においては、全てCMOSトランジスタで回路を構成しているため、消費電力が少なく済む。また、上述の実施例のバッファ回路をファンクションブロックとしてライブラリに備えておけば、マスタスライス方式によるLSI設計が実現できる。

【0031】

【発明の効果】以上説明したように本発明は、オープンドレインの特性を保ちつつ、入力信号がディセーブル状態になったときに、一度出力を逆側の電位レベルにドライブして、その後出力をハイインピーダンス状態にすることにより、出力の立上り(Nチャネル・オープンドレインの場合)又立下り(Pチャネル・オープンドレイン

6

の場合)に要する時間を短縮できるという効果がある。

【図面の簡単な説明】

【図1】本発明の第1の実施例によるバッファ回路の構成を示す回路図である。

【図2】図1の回路の動作を示す波形図である。

【図3】本発明の第2の実施例によるバッファ回路の構成を示す回路図である。

【図4】図3の回路の動作を示す波形図である。

【図5】従来のNチャネル・オープンドレインバッファの回路図である。

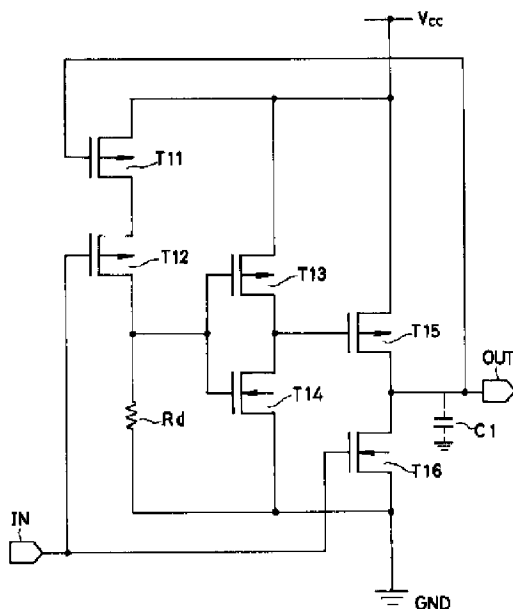
【図6】従来のPチャネル・オープンドレインバッファの回路図である。

【符号の説明】

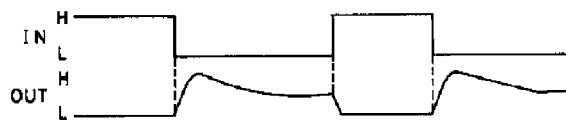
T11~T13, T15, T24, T26 Pチャネル型トランジスタ

T14, T16, T21~T23, T25 Nチャネル型トランジスタ

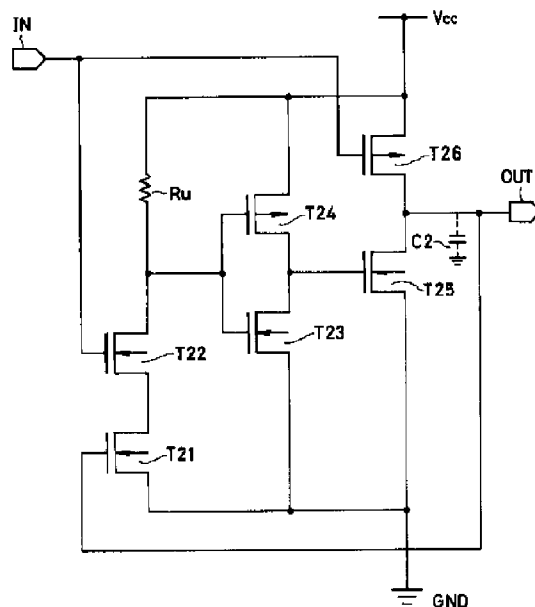
【図1】



【図2】



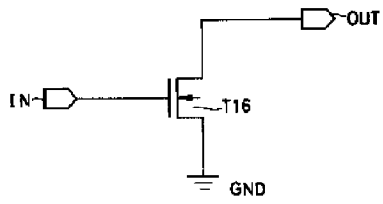
【図3】



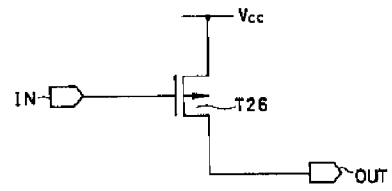
【図4】



【図5】



【図6】



フロントページの続き

(51) Int. Cl.⁵

識別記号

片内整理番号

F I

技術表示箇所

H 0 3 K 19/0175